

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-172179

(43)Date of publication of application : 02.07.1996

(51)Int.Cl.

H01L 27/148

H04N 5/335

(21)Application number : 06-312908

(71)Applicant : SONY CORP

(22)Date of filing : 16.12.1994

(72)Inventor : NAKAJIMA KAZUTOSHI

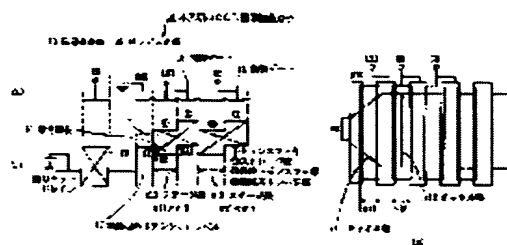
(54) SOLID STATE IMAGE SENSING ELEMENT

(57)Abstract:

PURPOSE: To provide a solid state image sensing element which prevents the deterioration of transfer efficiency of signal electric charge which is to be caused by long stage length in a final stage H resistor of a horizontal CCD.

CONSTITUTION: The title solid state image sensing element consists of an H resistor H2, a final stage H resistor LH1, a final stage output gate HOG, a floating diffusion FD, etc.

The stage length x11 of the LH1 is set to be equal to or shorter than the stage length x12 of the H2, and the potential level 17 of the HOG is set to be deeper than the potential barrier B11 of the LH1. Thereby the transfer of signal electric charge of the final stage H resistor → the final stage output gate → the floating diffusion is smoothly performed, and the transfer efficiency is improved.



LEGAL STATUS

[Date of request for examination] 15.06.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3393239

[Date of registration] 31.01.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P) (12) 公開特許公報 (A) (11)特許出願公開番号
特開平8-172179
(43)公開日 平成8年(1996)7月2日

(5)Int.Cl. ¹	発明記号	庁内整理番号	F I	技術表示箇所
H01L 27/148 H04N 5/395	F	H01L 27/14	B	
審査請求 未請求 請求項の数3 OL (全6頁)				

(21)出願番号 特開平8-312808	(71)出願人 ソニー株式会社 東京都品川区北品川6丁目7番35号 中島 和敏 (72)発明者 鹿児島県国分市野口北6番1号 ソニー国分株式会社内
(22)出願日 平成6年(1994)12月16日	

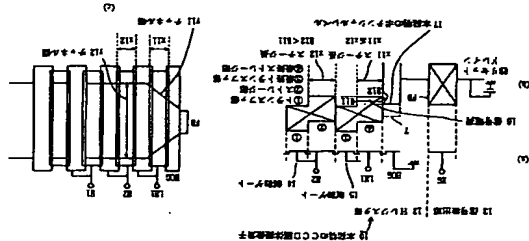
(54) 発明の名称 固体撮像素子

(57) 要約

【目的】 水平CCDの最終段Hレジスタにおけるステージ長が長いために生じる信号電荷の転送効率の低下を防ぐ固体撮像素子を提供する。

【構成】 HレジスタH2、最終段HレジスタLH1、最終段出力ゲートHOG、フローティングデプフェュージョンPD等で構成される。前記LH1のステージ長x11はH2のステージ長x12と同程度に短く設定し、HOGの本発明のポテンシャルレベル17はLH1のポテンシャルレベル1よりも短く設定したという2点の構造的特徴を有している。

【効果】 本発明の固体撮像素子によれば、最終段Hレジスタ最終段出力ゲートフローティングデプフェュージョンの信号電荷の転送がスムーズに行われるようになり、転送効率が向上する。



【特許請求の範囲】

【請求項1】 ポテンシャルバリア（電子障壁）を有するトランスファーマ部とステージ長を有するストレージ部を備えて成るHレジスタと、

ポテンシャルバリアを有する最終トランスファーマ部とステージ長を有する最終ストレージ部を備えて成る最終Hレジスタと、

ポテンシャルを有する最終段出力ゲートと、

フローティングデプフェュージョンと、

出力アンプ部とを備えた水平転送用電荷結合素子（水平CCD）の最終段において、

該最終段Hレジスタの最終ストレージ部のステージ長を他のHレジスタのストレージ部のステージ長と同程度以下に設定したことを特徴とする固体撮像素子。

【請求項2】 ポテンシャルバリアを有するトランスファーマ部とステージ長を有するストレージ部を備えて成るHレジスタと、

ポテンシャルバリアを有する最終トランスファーマ部とステージ長を有する最終ストレージ部を備えて成る最終段Hレジスタと、

ポテンシャルを有する最終段出力ゲートと、

フローティングデプフェュージョンと、

出力アンプ部とを備えた水平転送用電荷結合素子（水平CCD）の最終段において、

該最終段出力ゲートのポテンシャルを最終段Hレジスタの最終トランスファーマ部のポテンシャルよりも高く設定したことを特徴とする固体撮像素子。

【請求項3】 請求項1または請求項2に記載の最終段出力ゲートの信号電荷の蓄積容量が信号電荷の飽和量と略々等しいことを特徴とする固体撮像素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、例えばカメラ型型VTR等に用いられる固体撮像素子に関し、特に、水平転送用電荷結合素子（以下、単に「水平CCD」と略記する）の最終段の形成方法を改良した固体撮像素子に関するものである。

【0002】

【従来の技術】 近年、カラー型型VTR等の普及とともに、固体撮像素子、例えばCCD固体撮像素子への高性能化への要求が高まり、その取組が進行している。このCCD固体撮像素子は、大別してフレームトランスファ型、インターライントランスファ型及びフレームインターライン型等が知られている。本発明は、これらいずれかの方式に適用しても好適な水平CCDの最終段の形成方法に係わるものであり、以下にその構成を示して説明する。

【0003】 従来技術のCCD固体撮像素子を図3を参照して説明する。図3は従来技術のCCD固体撮像素子の水平CCD部を示す図であり、(a)はゲート電極形

状を示す断面図であり、(b)はそれに対応したポテンシャルを示す模式図であり、(c)は水平CCDの最終段構造を示す平面図である。

【0004】 先ず、図3(a)、(b)において、符号1は従来技術のCCD固体撮像素子を指す。前記従来技術のCCD固体撮像素子1はHレジスタ部2と最終出力部3に大略して構成される。Hレジスタ部2は不図示の転送電極（Vレジスタ）から転送された信号電荷を受取る第1のHレジスタH1（図示省略）と、第2のHレジスタH2（以下、単に「H2」と略記する）と、水平CCDの最終段HレジスタであるLH1（Last H-1以下、単に「LH1」と略記する）と、水平CCDの最終段出力ゲートHOG（H-register Output Gate：以下、単に「HOG」と略記する）等で構成される。

【0005】 また、H2はトランスファーマ部（転送部）①及びストレージ部（蓄積部）②を、LH1は最終トランスファーマ部③、最終ストレージ部④、制御パルス（クロックパルス）を印加するための制御ゲート4及び制御ゲート5等を備えて構成される。これらの各制御ゲートには転送用のクロックパルスが各々逆位相にて印加されて信号電荷が転送されるようになされている。更に、LH1の最終トランスファーマ部③はポテンシャルバリア（電子障壁）B1と、同じくLH1の最終ストレージ部④はポテンシャルバリアB2にて分離されている。なお、図中のx1はLH1の最終ストレージ部④のステージ長を、x2はH2のストレージ部②のステージ長を示している。また、HOGは常にDC電位であり通常はアース端子に接続されている。

【0006】 信号検出部3はフローティングデプフェュージョンアンプとソースフォロワーからなるフローティングデプフェュージョンFDF（Floating Diffusion）以下、単に「FDF」と略記する）や、その制御の用途に供するリセットゲートRG、信号検出部3のポテンシャルレベルを設定するリセットドレインRD、不図示の容量C、出力アンプ等から構成されている。なお、このFDFの毎画回路はゲートがハイ・インピーダンス状態で浮いており、ゲートには等価的に容量Cが挿入されて構成されている。

【0007】 次に、従来技術のCCD固体撮像素子1の動作を説明するならば、不図示の面に光が入射して、転送電極（Vレジスタ）を介してその入射光量に応じた信号電荷がH2に入力されたとする。そこで、H2は制御ゲート4に入力されるクロックパルスに反応してトランスファ部③で信号電荷を受取り、ストレージ部④に転送して蓄積する。つまり、H2のトランスファーマ部③は転送時に起動して信号電荷を取り込み、ストレージ部④ではポテンシャルを高くしたり低くしたりすることにより、信号電荷の蓄積容量を調整している。また、H2の制御ゲート4に「ローレベル」が、LH1の制御ゲート5に逆相のクロックパルス「ハイレベル」が印加されてLH1がオン状態となり、LH1の最終トランスファ

て取出すようになされている。

【0029】前記H1から離れた信号電荷は、(LH1)のタイミングが「ハイレベル」で、リセットゲート(RG)が「ローレベル」のときにFDに入ることになるが、図2aの期間ではリセットゲート(RG)が「ハイレベル」になされている出力信号レベルはリセットドレインの信号レベルにクランプされており、リチャージレベル2.0の問題は、図2aの期間でH1から離れた信号電荷が全て掃き出された場合の出力信号レベル2.2は変化せしめられることはない。

【0030】bの期間において、リセットゲート(RG)が「ローレベル」においても信号電荷が漏れていた場合は、図2dに示す如くリチャージレベル2.0は変動する。また、bの期間で信号電荷が徐々に漏れて図2aで示すようにリチャージレベル2.0が変動した場合においてもリチャージレベル2.0が変動するが、同様にリチャージレベル2.1も変動するため、相関2重サンプリングにてサンプリングされる「リチャージレベル」が変動した場合の出力信号レベル2.3は変化せしめられることはない。

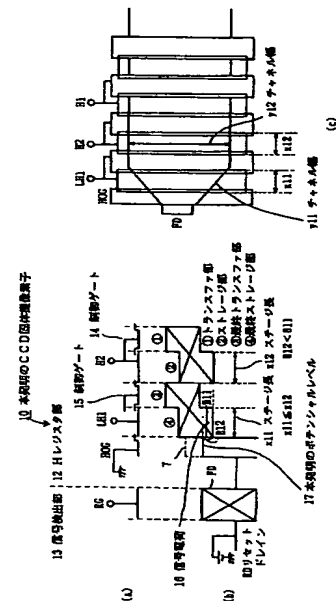
【0031】更に、相関2重サンプリングでリチャージレベルが正しくクランプされなくとも、それは信号電荷の飽和を越えた範囲における問題であり、飽和までの特性を保持しているCCD固体撮像素子によって、画質的に全く問題は発生しないことが立証される。つまり、例え信号電荷が漏れてFDに前を掃き出される場合においても、その信号電荷が飽和を越えていない場合には画質的に問題が発生することはない。

【0032】本発明は前記実施例に限定されず、種々の変形形態を得ることができる。例えば前記実施例ではインターライントランスファ型固体撮像素子について説明したが、フレームトランスファ型、フ列ムインターライン型固体撮像素子にも適用可能であり、固体撮像素子の構造に所ら限定されない。また、画素中に暗電流回路が形成されたAM1 (Amplified MOS Intelligent Image) デバイスや、その他画像入力デバイスに適用可能なことは言うまでもない。

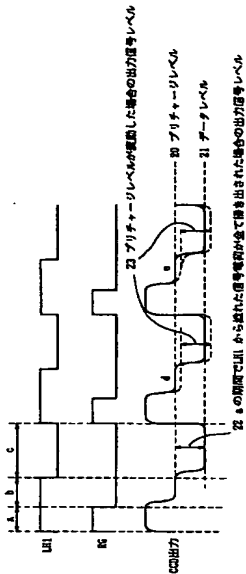
【0033】

【発明の効果】以上説明したように、本発明の固体撮像素子によれば、固体撮像素子の最終段Hレジスタのステージ長を従来の最終段Hレジスタのステージ長よりも短く設定したため、最終段Hレジスタの最終出力ゲートフローティングデフレーション間の信号電荷の転送がスムーズに行われるようになり、転送効率が高くなる。同時に、固体撮像素子の最終段Hレジスタのポテンシャルレベルを最終段Hレジスタの最終トランスファ部のポテンシャルレベルよりも深く設定したため

【図1】



【図2】



【図3】

